

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

010052237 \*\*Image available\*\*

WPI Acc No: 1994-319948/199440

XRAM Acc No: C99-056238

XRPX Acc No: N99-139535

TFT semiconductor device manufacture - by forming clusters of catalyst particles on amorphous silicon@ layer and re-annealing

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: TAKAYAMA T; UOCHI H; ZHANG H; TAKEMURA Y; YAMAZAKI S

Number of Countries: 004 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6244104	A	19940902	JP 9348532	A	19930215	199440 B
US 5879977	A	19990309	US 94195714	A	19940214	199917
			US 96636819	A	19960423	
CN 1098556	A	19950208	CN 94103243	A	19940215	199721
KR 169508	B1	19990201	KR 942596	A	19940215	200038
US 6110770	A	20000829	US 94195714	A	19940214	200043
			US 96636819	A	19960423	
			US 99229306	A	19990113	

Priority Applications (No Type Date): JP 9348532 A 19930215

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 6244104	A			7 H01L-021/20	
US 5879977	A			15 H01L-021/10	Cont of application US 94195714
CN 1098556	A			H01L-021/00	
KR 169508	B1			H01L-021/20	
US 6110770	A			H01L-021/84	Cont of application US 94195714 Div ex application US 96636819 Div ex patent US 5879977

Abstract (Basic): JP 6244104 A

NOVELTY - A crystalline semiconductor for a thin film device is made by disposing a metal-containing catalyst (3A) on part of a silicon ilm (3) on an insulating substrate, annealing to crystallise the film and etching with acid to remove the metal from a portion of the film at which crystallisation terminates. INDEPENDENT CLAIMS are also included for the following: (a) a process for making a semiconductor device as above in which the metal-containing catalyst is applied as a salt in solution to an amorphous semiconductor and etching uses HF or HCl; and (b) a method as above in which crystallisation proceeds through diffusion of the metal through the semiconductor film.

USE - In forming thin film insulated gate field effect transistors

ADVANTAGE - Process times are reduced from 24 to 4 hours, lower temperatures can be used and device quality and stability is good.

DESCRIPTION OF DRAWING(S) - A cross-section of the thin film structure is shown. (3) Silicon; (3A) Nickel silicide; (4) Grain boundary.

US 5879977 A

**NOVELTY** - A crystalline semiconductor for a thin film device is made by disposing a metal-containing catalyst (3A) on part of a silicon film (3) on an insulating substrate, annealing to crystallise the film and etching with acid to remove the metal from a portion of the film at which crystallisation terminates. **INDEPENDENT CLAIMS** are also included for the following: (a) a process for making a semiconductor device as above in which the metal-containing catalyst is applied as a salt in solution to an amorphous semiconductor and etching uses HF or HCl; and (b) a method as above in which crystallisation proceeds through diffusion of the metal through the semiconductor film.

**USE** - In forming thin film insulated gate field effect transistors

**ADVANTAGE** - Process times are reduced from 24 to 4 hours, lower temperatures can be used and device quality and stability is good. **DESCRIPTION OF DRAWING(S)** - A cross-section of the thin film structure is shown. (3) Silicon; (3A) Nickel silicide; (4) Grain boundary.

**Title Terms:** TFT; SEMICONDUCTOR; DEVICE; MANUFACTURE; FORMING; CLUSTER; CATALYST; PARTICLE; AMORPHOUS; SILICON; LAYER; ANNEAL

**Derwent Class:** G06; L03; U11

**International Patent Class (Main):** H01L-021/00; H01L-021/10; H01L-021/20;

H01L-021/84

**International Patent Class (Additional):** H01L-021/324; H01L-021/336;

H01L-029/784

**File Segment:** CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04572204    \*\*Image available\*\*

SEMICONDUCTOR AND ITS MANUFACTURE

PUB. NO.:    06-244104 [JP 6244104 A]

PUBLISHED:    September 02, 1994 (19940902)

INVENTOR(s): CHIYOU KOUYUU

UOJI HIDEKI

TAKAYAMA TORU

YAMAZAKI SHUNPEI

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:    05-048532 [JP 9348532]

FILED:        February 15, 1993 (19930215)

INTL CLASS:    [5] H01L-021/20; H01L-021/324; H01L-021/336; H01L-029/784

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL:        Section: E, Section No. 1636, Vol. 18, No. 626, Pg. 93,  
November 29, 1994 (19941129)

#### ABSTRACT

**PURPOSE:** To provide a crystalline silicon film at a low cost, by forming an island type film, dots, particles, clusters, etc., which contain nickel, iron, covalt and platinum, on or under a silicon film in the amorphous state.

**CONSTITUTION:** Before an amorphous silicon film 1 is formed, a nickel film is deposited to be 50-1000 angstroms thick by a sputtering method, and an island type nickel region 2 is formed by patterning the film. The nickel region is annealed for 8 hours in a nitrogen atmosphere at 450-580 deg.C. In the intermediate state, nickel progresses as nickel silicide 3A toward the central part from the island type nickel film 2 in the end portion, and the part 3 through which the nickel has passed turns to a crystalline silicon. Crystallization which has started from the island type nickel film soon collides with each other, and the crystallization ends while the nickel silicide 3A is left in the intermediate part.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-244104

(43) 公開日 平成6年(1994)9月2日

(51) Int. Cl. <sup>5</sup>

識別記号

F I

H01L 21/20

8122-4M

— 21/324 —

Z 8617-4M

// H01L 21/336

29/784

9056-4M

H01L 29/78

311

Y

審査請求 未請求 請求項の数12 F D (全7頁)

(21) 出願番号

特願平5-48532

(22) 出願日

平成5年(1993)2月15日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 魚地 秀貴

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

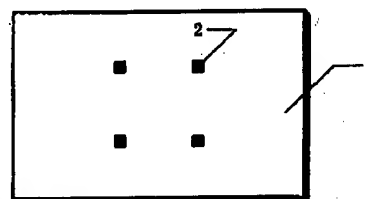
最終頁に続く

(54) 【発明の名称】 半導体およびその製造方法

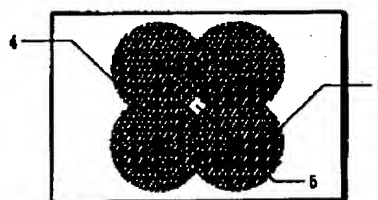
(57) 【要約】

【目的】 実質的にアモルファス状態のシリコン膜を通常のアモルファスシリコンの結晶化温度よりも低い温度でのアニールによって結晶化させる方法を提供する。

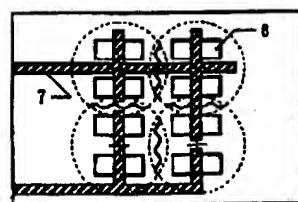
【構成】 アモルファスシリコン膜の上もしくは下に選択的に島状、線状、ストライプ状、ドット状のニッケル、鉄、コバルト、白金の単体、もしくはそれらの珪化物等を有する被膜、粒子、クラスター等を形成し、アモルファスシリコンの結晶化温度よりも20～150℃低い温度でアニールすることによって、これを出発点として結晶化を進展させ、結晶シリコン膜を得る。



(A)



(B)



(C)

## 【特許請求の範囲】

【請求項1】 基板上に選択的にニッケル、鉄、コバルト、白金の少なくとも1つを含有する物体を形成する第1の工程と、前記ニッケル、鉄、コバルト、白金の少なくとも1つを含有する物体を覆って、実質的にアモルファス状態のシリコン膜を形成する第2の工程と、第2の工程の後に基板を通常のアモルファスシリコンの結晶化温度より低い温度でアニールする第3の工程とを有することを特徴とする半導体の製造方法。

【請求項2】 請求項1において、第3の工程の後に基板をフッ酸もしくは塩酸を含有する酸によって処理する第4の工程を有することを特徴とする半導体の製造方法。

【請求項3】 請求項1において、第1の工程で使用されるニッケル、鉄、コバルト、白金の少なくとも1つを含有する物体は珪素とニッケルを含有し、その組成比は、珪素/ニッケル=0.4~2.5であることを特徴とする半導体の製造方法。

【請求項4】 請求項1において、第3の工程のアニール温度は通常のアモルファスシリコンの結晶化温度より20~150℃低いことを特徴とする半導体の製造方法。

【請求項5】 基板上に実質的にアモルファス状態のシリコン膜を形成する第1の工程と、前記シリコン膜上に、選択的にニッケル、鉄、コバルト、白金の少なくとも1つを含有する物体を形成する第2の工程と、第2の工程の後に基板を通常のアモルファスシリコンの結晶化温度より低い温度でアニールする第3の工程とを有することを特徴とする半導体の製造方法。

【請求項6】 請求項5において、第3の工程の後に基板をフッ酸もしくは塩酸を含有する酸によって処理する第4の工程を有することを特徴とする半導体の製造方法。

【請求項7】 請求項5において、第1の工程で使用されるニッケル、鉄、コバルト、白金の少なくとも1つを含有する物体は珪素とニッケルを含有し、その組成比は、珪素/ニッケル=0.4~2.5であることを特徴とする半導体の製造方法。

【請求項8】 請求項5において、第3の工程のアニール温度は通常のアモルファスシリコンの結晶化温度より20~150℃低いことを特徴とする半導体の製造方法。

【請求項9】 結晶性シリコン膜において、水素濃度が0.01原子%以上5原子%以下であり、ニッケル、鉄、コバルト、白金の少なくとも1つ濃度が0.005原子%以上1原子%以下の濃度であることを特徴とする半導体

【請求項10】 請求項9において、炭素、酸素、窒素の濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以下であることを特徴とする半導体。

【請求項11】 請求項9において、ラマン散乱分光によって結晶化が確認されることを特徴とする半導体。

【請求項12】 請求項9において、絶縁基板表面に形成されたことを特徴とする半導体。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜状の絶縁ゲイト型電界効果トランジスタ（薄膜トランジスタもしくはTFT）等の薄膜デバイスに用いられる結晶性半導体を得る方法に関するものである。

【0002】

【従来の技術】 従来、薄膜状の絶縁ゲイト型電界効果トランジスタ（TFT）等の薄膜デバイスに用いられる結晶性シリコン半導体薄膜は、絶縁基板等の絶縁表面上にプラズマCVD法や熱CVD法で形成されたアモルファスシリコン膜を電気炉等の装置の中で600℃以上の温度で12時間以上の長時間にわたって結晶化させて作製された。特に十分な特性（高い電解効果移動度や高い信頼性）を得るためにはより長時間の熱処理が求められていた。

【0003】

【発明が解決しようする課題】 しかしながら、このような従来の方法は多くの課題を抱えていた。1つはスループットが低く、したがって、コストが高くなることである。例えば、この結晶化工程に24時間の時間を要するものとする、基板1枚当たりの処理時間を2分とすれば720枚の基板を同時に処理しなければならなかった。しかしながら、例えば、通常使用される管状炉では、1度に処理できる基板の枚数は50枚がせいぜいで、1つの装置（反応管）だけを使用した場合には1枚当たり30分も時間がかかってしまった。すなわち、1枚当たりの処理時間を2分とするには、反応管を15本も使用しなければならなかった。このことは投資規模が拡大することと、その投資の減価償却が大きく、製品のコストに跳ね返ることを意味していた。

【0004】 もう1つの問題は、熱処理の温度であった。通常、TFTの作製に用いられる基板は石英ガラスのような純粋な酸化珪素からなるものと、コーニング社7059番（以下、コーニング7059という）のような無アルカリのホウ珪酸ガラスに大別される。このうち、前者は、耐熱性が優れており、通常の半導体集積回路のウェファープロセスと同じ取扱いができるため、温度に関しては何ら問題がない。しかしながら、そのコストが高く、基板面積の増加と共に指数関数的に急激に増大する。したがって、現在のところ、比較的小面積のTFT集積回路にのみ使用されている。

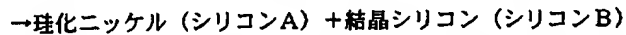
【0005】 一方、無アルカリガラスは、石英に比べればコストは十分に低いが、耐熱性の点で問題があり、一般に歪み点が550~650℃程度、特に入手しやすい材料では600℃以下であるので、600℃の熱処理で

は基板に不可逆的な収縮やソリという問題が生じた。特に基板が対角10インチを超えるような大きなものでは顕著であった。以上のような理由から、シリコン半導体膜の結晶化に関しては、550℃以下、4時間以内という熱処理条件がコスト削減に不可欠とされていた。本発明はこのような条件をクリアする半導体の作製方法および、そのような半導体を用いた半導体装置の作製方法を提供することを目的とする。

#### 【0006】

【課題を解決するための手段】本発明は、アモルファス状態、もしくは実質的にアモルファス状態と言えるような乱雑な結晶状態（例えば、結晶性のよい部分とアモルファスの部分が混在しているような状態）にあるシリコン膜の上もしくは下にニッケル、鉄、コバルト、白金を含有する島状の膜やドット、粒子、クラスター、線等を形成し、これを通常のアモルファスシリコンの結晶化温度よりも低い温度、好ましくは20～150℃低い温度、例えば580℃以下の温度でアニールすることによって結晶性シリコン膜を得ることを特徴とする。

【0007】従来のシリコン膜の結晶化に関しては、結晶性の島状の膜を核として、これを種結晶として固相エピタキシャル成長させる方法（例えば、特開平1-214110等）が提案されている。しかしながら、このような方法では、600℃以下の温度ではほとんど結晶成長が進行しなかった。シリコン系においては、一般にアモルファス状態から結晶状態に移行するには、アモルファスシリコン（シリコンA）+珪化ニッケル（シリコンB）



（シリコンA、Bはシリコンの位置を示す）という反応が生じることが明らかになった。この反応のポテンシャル障壁は十分に低く、反応の温度も低い。

【0009】この反応式は、ニッケルがアモルファスシリコンを結晶シリコンに造り変えながら進行してゆくことを示している。実際には、580℃以下で、反応が開始され、450℃でも反応が観測されることが明らかになった。典型的には、通常のアモルファスシリコンの結晶化温度に比較して20～150℃低い温度で結晶化できることが示された。当然のことであるが、温度が高いほど反応の進行する速度が速い。その様子を図3（実施例参照）に示す。また、同様な効果は、白金（Pt）、鉄（Fe）、コバルト（Co）でも認められた。

【0010】本発明の特徴は結晶成長が円形に進展することである。これは上記の反応のニッケル等の移動が等方的に進行するためであり、結晶格子面にそって直線的に成長する従来の結晶化とは異なる。

【0011】本発明では、島状、ストライプ状、線状、ドット状のニッケル、鉄、コバルト、白金単体もしくはその珪化物等のニッケル、鉄、コバルト、白金の少なくとも1つを含有する膜、粒子、クラスター等を出発点として、ここからニッケル、鉄、コバルト、白金が上記の

アス状態にある分子鎖を分断し、しかもその分断された分子が、再び他の分子と結合しないような状態としたうえで、何らかの結晶性の分子に合わせて、分子を結晶の一部に組み換えるという過程を経る。しかしながら、この過程のなかで、最初の分子鎖を分断して、他の分子と結合しない状態に保持するためのエネルギーが大きく、結晶化反応においてはここが障壁となっている。このエネルギーを与えるには、1000℃程度の温度で数分、もしくは600℃程度の温度では数10時間が必要であり、時間は温度（＝エネルギー）に指数関数的に依存するので、600℃以下、例えば、550℃では、結晶化反応が進行することはほとんど観測できなかった。従来の固相エピタキシャル結晶化の考えも、この問題に対する解答を与えたものではなかった。

【0008】本発明人は、従来の固相結晶化の考えとは全く別に、何らかの触媒作用によって、前記の過程の障壁エネルギーを低下させることを考えた。本発明人はニッケル（Ni）、白金（Pt）、鉄（Fe）、コバルト（Co）がシリコンと結合して珪化物となり、例えば、ニッケルに関しては、容易に珪化ニッケル（化学式 $\text{NiSi}_x$ 、 $0.4 \leq x \leq 2.5$ ）となり、かつ、珪化ニッケルの格子定数がシリコン結晶のものに近いことに着目した。そこで、結晶シリコン-珪化ニッケル-アモルファスシリコンという3元系のエネルギー等をシミュレーションした結果、アモルファスシリコンは珪化ニッケルとの界面で容易に反応して、

反応に伴って周囲に展開してゆくことによって、結晶シリコンの領域を拡げてゆく。なお、ニッケル、鉄、コバルト、白金を含有する材料としては、酸化物は好ましくない。これは、酸化物は安定な化合物で、上記反応を開始することができないからである。

【0012】このように特定の場所から拡がった結晶シリコンは、従来の固相エピタキシャル成長とは異なるが、結晶性の連続性のよい、単結晶に近い構造を有するものである。TFET等の半導体素子に利用するうえでは都合がよい。基板上に均一にニッケル、鉄、コバルト、白金を含む材料を設けた場合には、結晶化の出発点が無数に存在して、そのため結晶性の良好な膜を得ることは難しかった。その違いは代表的にはラマン散乱分光やX線回折に明確に現れ、本発明では良好な結晶性がこれらの部積手段から明らかになった。

【0013】また、この結晶化の出発材料としてのアモルファスシリコン膜は水素濃度が少ないほど良好な結果が得られた。ただし、結晶化の進行にしたがって、水素が放出されるので、得られたシリコン膜中の水素濃度は出発材料のアモルファスシリコン膜の水素濃度とはそれほど明確な相関は見られなかった。本発明による結晶シリコン中の水素濃度は、典型的には0.01原子%以上

5原子%以下であった。さらに、良好な結晶性を得るためには、アモルファスシリコン膜中には炭素、窒素、酸素の濃度は少ないほど良く、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下であることが望まれる。したがって、発明に用いるニッケル、鉄、コバルト、白金を含む材料もこの点を考慮して選択すべきである。

【0014】ただし、ニッケル、鉄、コバルト、白金そのものは半導体材料としてのシリコンにとっては好ましくない。そこで、これを除去することが必要であるが、ニッケルに関しては上記の反応の結果、結晶化の終端に達した珪化ニッケルはフッ酸もしくは塩酸に容易に溶解するので、これらの酸による処理によって基板からニッケルを減らすことができる。本発明によるシリコン膜中のニッケルの濃度は、典型的には0.005%以下1原子%以下であった。

【0015】本発明によって作製した結晶シリコン膜をTFT等の半導体素子に利用する上で、上記の説明から明らかなように、結晶化の終端（ここは、複数の出発点から開始された結晶化がぶつかる部分であるが）では、大きな粒界（結晶性の不連続な部分）が存在し、また、ニッケルの濃度が高いので、半導体素子を設けることは好ましくない。したがって、本発明を利用して半導体素子を形成するにあたっては、結晶化の出発点となるニッケル含有物被膜のパターンと半導体素子のパターンとを最適化しなければならない。以下に実施例を示し、より詳細に本発明を説明する。

#### 【0016】

【実施例】本実施例は、コーニング7059ガラス基板上の島状の複数のニッケル膜を形成し、これらを出発点としてアモルファスシリコン膜の結晶化をおこない、得られた結晶シリコン膜を用いてTFTを作製する方法について記述する。島状のニッケル膜を形成する方法には、それをアモルファスシリコン膜の上に設けるか、下に設けるかという点で2つの方法がある。図2(A-1)は下に設ける方法であり、図2(A-2)は上に設ける方法である。特に後者について注意しなければならないことは、アモルファスシリコン膜の全面にニッケルが形成された後にこれを選択的にエッチングするという工程となるので、ニッケルとアモルファスシリコンが少量ではあるが反応して、珪化ニッケルが形成されてしまう。これを残存させたままでは、本発明が目的とするような良好な結晶性のシリコン膜は得られないので、塩酸やフッ酸等で、この珪化ニッケルを十分に除去してしまふことが求められる。また、そのため、アモルファスシリコンは初期より薄くなる。

【0017】いずれの場合においても、ニッケル（もしくは珪化ニッケル）のパターニングには従来から知られているエッチオフ法（ニッケル膜を形成した後にフォトリソグラフィによってパターニングし、フォトリソグラフィがない部分をのニッケル膜をエ

ティングすることによって選択的にニッケル膜を形成する方法）やリフトオフ法（フォトリソグラフィによってパターニングし、その上にニッケル膜を形成して、下地のフォトリソグラフィを剥離させることによって選択的にニッケル膜を形成する方法）を用いばよい。

【0018】一方、前者についてはそのような問題は生じないが、この場合もエッチングによって、島状部分以外のニッケル膜は完全に除去されることが望まれる。さらに、残存ニッケルの影響を抑えるためには、基板を酸素プラズマやオゾン等によって処理して、島状領域以外のニッケルを酸化させてしまえばよい。

【0019】いずれの場合も、基板（コーニング7059）1A上には、厚さ2000Åの下地酸化珪素膜1BをプラズマCVD法によって形成した。また、アモルファスシリコン膜1は厚さ200~3000Å、好ましくは500~1500Åとし、プラズマCVD法もしくは減圧CVD法によって作製した。アモルファスシリコン膜は350~450℃で0.1~2時間アニールすることによって水素出しをおこなって、膜中の水素濃度を5原子%以下にしておくことと結晶化しやすかった。図2(A-1)の場合には、アモルファスシリコン膜1の形成の前にスパッタ法によってニッケル膜を厚さ50~1000Å、好ましくは100~500Å堆積し、これをパターニングして島状ニッケル領域2を形成した。

【0020】一方、図2(A-2)の場合には、アモルファスシリコン膜1の形成の後にスパッタ法によってニッケル膜を厚さ50~1000Å、好ましくは100~500Å堆積し、これをパターニングして島状ニッケル領域2を形成した。この様子を上方から見た図面を図1(A)に示す。

【0021】島状ニッケルは一辺2μmの正方形で、その間隔は、5~50μm、例えば20μmとした。ニッケルの代わりに珪化ニッケルを用いても同様な効果が得られる。また、ニッケルの成膜時には基板を100~500℃、好ましくは180~250℃に加熱しておくことと良好な結果が得られた。これは下地の酸化珪素膜とニッケル膜とも密着性が向上することと、酸化珪素とニッケルが反応して、珪化ニッケルが生成するためである。酸化珪素のかわりに窒化珪素、炭化珪素、珪素を用いても同様な効果が得られる。

【0022】次に、これを450~580℃、例えば550℃で8時間窒素雰囲気中でアニールした。図2

(B)は、その中間状態で、図2(A)において、端のほうにあった島状ニッケル膜からニッケルが珪化ニッケル3Aとして中央部に進行し、また、ニッケルが通過した部分3は結晶シリコンとなっている。やがて、図2

(C)に示すように2つの島状ニッケル膜から出発した結晶化がぶつかって、中間に珪化ニッケル3Aが残って、結晶化が終了する。図4、図5には本実施例によ

7  
て得られた結晶シリコン膜のラマン散乱分光、およびX線回折の結果を示す。図4のC-Siとは、標準試料である単結晶シリコンのスペクトルであり、(a)は本実施例によって得られた結晶領域、(b)は未結晶領域のラマンスペクトルである。結晶領域のラマンスペクトルおよびX線回折より、いずれも良好な結晶が得られたことが示されている。

【0023】図1(B)は、この状態の基板を上方から見た様子を示したもので、図2(C)の珪化ニッケル3Aとは、粒界4のことである。さらにアニールを続けられ、ニッケルは粒界4に沿って移動して、これらの島状ニッケル領域(この段階では原形を留めていることはないが)の中間領域5に集まる。

【0024】以上の工程で結晶シリコンを得ることができ、このときに生じる珪化ニッケル3Aからニッケルが半導体被膜中に拡散することは好ましくない。したがって、フッ酸もしくは塩酸でエッチングすることが望まれる。なお、フッ酸、塩酸ともシリコン膜には影響を与えない。エッチングした様子を図2(D)に示す。粒界のあった部分は溝4Aとなる。この溝を挟むようにTFTの半導体領域(活性層等)を形成することは好ましくない。TFTの配置に関しては、その例を図1(C)に示すが、半導体領域6は粒界4を横切らないように配置した。一方、ゲイト配線7は粒界4を横切ってもよい。

【0025】上記の手法によってアモルファスシリコン膜の結晶化を行う際に2 $\mu$ m角のニッケル領域から結晶化が進行する速度のアニール温度依存性を調べた。ここでは、結晶化の先端がニッケル領域から10~50 $\mu$ mの距離に到達するまでのアニール時間から結晶化速度を算出した。図3にその例を示す。図においては、アモルファスシリコンの膜厚を2種類(500Åと1500Å)用意して、その比較をおこなった。当然のことながら、アニール温度が高ければ高いほど結晶化速度は大きい。また、アモルファスシリコン膜の厚さにも依存し、厚い膜ほど結晶化しやすいことが分かった。実際の半導体素子1つの典型的な大きさは50 $\mu$ m以下であるので、アニール時間を5時間とすると、結晶化速度は20 $\mu$ m/hr以上が必要で、シリコンの膜厚を1500Åとする

と、図3のデータからは550℃以上の温度が必要であることが分かる。

【0026】

【発明の効果】以上、述べたように、本発明はアモルファスシリコン結晶化の低温化、短時間化を促進するという意味で画期的なものであり、また、そのための設備、装置、手法は極めて一般的で、かつ量産性に優れたものである。産業にもたらす利益は図りしえないものである。

【0027】例えば、従来の固相成長法においては、少なくとも24時間のアニールが必要とされたために、1枚当たりの基板処理時間を2分とすれば、アニール炉は15本も必要とされたのであるが、本発明によって、4時間以内に短縮することができたので、アニール炉の数を1/6以下に削減することができる。このことによる生産性の向上、設備投資額の削減は、基板処理コストの低下につながり、ひいてはTFT価格の低下とそれによる新規需要の喚起につながるものである。このように本発明は工業上、有益であり、特許されるにふさわしいものである。

【図面の簡単な説明】

【図1】 実施例の工程の上面図を示す。(結晶化とTFTの配置)

【図2】 実施例の工程の断面図を示す。(選択的に結晶化する工程)

【図3】 結晶化速度と温度の関係を示す。

【図4】 実施例で得られた結晶シリコンのラマン散乱分光結果を示す。

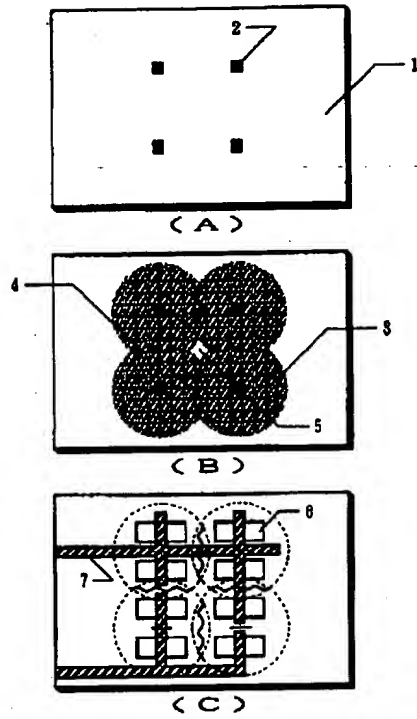
【図5】 実施例で得られた結晶シリコンのX線回折結果を示す。

【符号の説明】

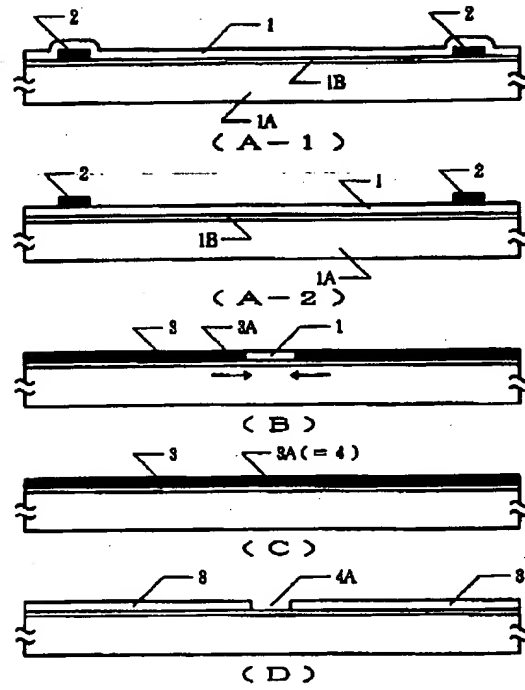
- 1 ……アモルファスシリコン
- 2 ……島状ニッケル膜
- 3 ……結晶シリコン
- 4 ……粒界
- 5 ……結晶化の進行していない領域
- 6 ……半導体領域
- 7 ……ゲイト配線



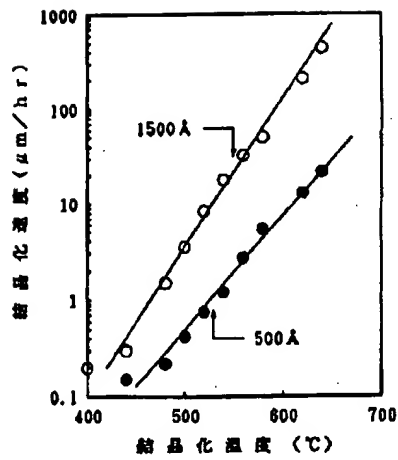
【図1】



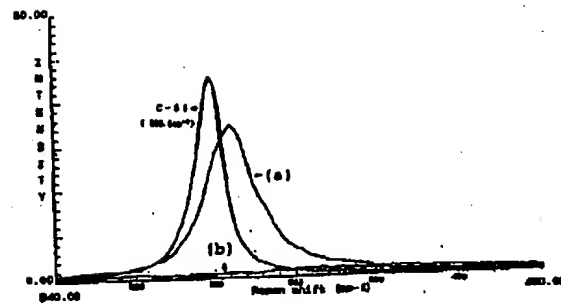
【図2】



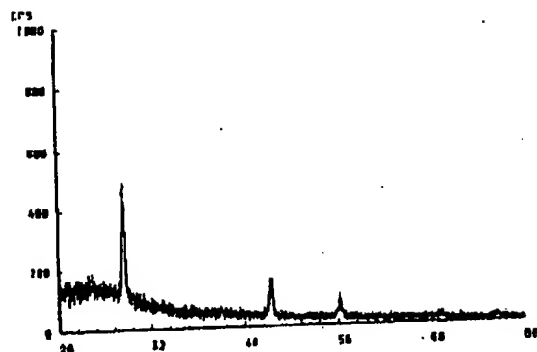
【図3】



【図4】



【図5】



---

フロントページの続き

(72)発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 竹村 保彦  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内